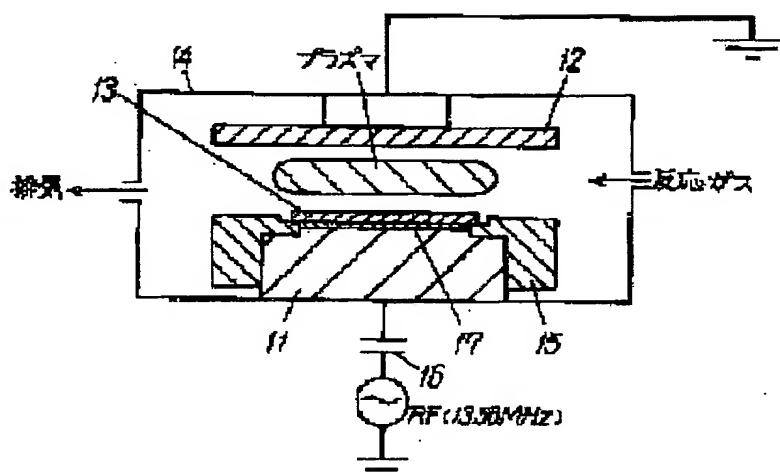


PatentWeb
HomeEdit
SearchReturn to
Patent List

Help

 Include in patent orderMicroPatent^(R) Worldwide PatSearch: Record 1 of 1

Family Lookup

JP07106306
SEMICONDUCTOR MANUFACTURING EQUIPMENT
 MATSUSHITA ELECTRON CORP
 Inventor(s): SASAKI TOMOYUKI; NAKAGAWA SATOSHI
 Application No. 05250462, Filed 19931006, Published 19950421

Abstract:

PURPOSE: To prevent charge-up damage in plasma etching.

CONSTITUTION: In a parallel flat board type reactive ion etching equipment, a polyimide film 17 is stuck on the surface of a lower electrode 11 to which high frequency electric power is applied, and a wafer 13 is arranged on the polyimide film 17. The film thickness of the polyimide film 17 is set to be 50 μ m or larger and the capacitance is set to be 86pF/cm² or smaller. Since the polyimide film 17 is stuck to the applied voltage to the wafer 13 by a self bias can be dispersed to the polyimide film 17, a blocking capacitor 16, and the wafer 13. Thereby deterioration or breakdown of a semiconductor device by charge-up can be prevented.

Int'l Class: H01L0213065 H01L02704 H01L021822 H05H00146

MicroPatent Reference Number: 002503718
 COPYRIGHT: (C) 1995 JPO

【特許請求の範囲】

【請求項1】 高周波電力を供給する電極上に絶縁膜を被着し、前記絶縁膜上にウエハーを設置することを特徴とする半導体製造装置。

【請求項2】 絶縁膜の静電容量が 8.6 pF/cm^2 以下であることを特徴とする請求項1に記載の半導体製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プラズマを利用した半導体製造装置に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高密度化、高集積化に伴い、加工精度がますます求められるようになってきた。そのため、特にパターン精度が求められる工程では、陰極降下電位（セルフバイアス）を利用した反応性イオンエッティングが用いられている。

【0003】 図4に平行平板型の反応性イオンエッティング装置を示す。下部電極31には、ブロッキングキャバシタ36を介して高周波電力（13.56MHz）を印加している。また、ウエハー33は前記下部電極31上に設置されている。上部電極32は下部電極31と平行に設置され、アースされている。このため、チャンバー34内に反応ガスを流し、高周波電力を印加してエッティングを行なうと、プラズマ中で陰極降下電位（以下セルフバイアス）が発生する。

【0004】

【発明が解決しようとする課題】 このとき、下部電極31は上部電極32に対して負に帯電し、ウエハー33に直流電圧が印加される。その結果、MOSトランジスタ等に電荷が蓄積され、劣化や破壊を引き起こすことが問題になっている。

【0005】

【課題を解決するための手段】 本発明は上記課題を解決するため、平行平板型の反応性イオンエッティング装置において、ウエハーを設置する下部電極に静電容量が 8.6 pF/cm^2 以下の絶縁膜を被着した。

【0006】

【作用】 前記した手段によると、プラズマ中で発生するセルフバイアスに起因する直流電圧を下部電極上の絶縁膜とブロッキングコンデンサとウエハーに分散させる。その結果、ウエハー上の半導体装置のチャージアップダメージの発生が防止される。

【0007】

【実施例】 以下、本発明の一実施例について、図面を参照しながら説明する。

【0008】 図1は平行平板型反応性イオンエッティング装置の断面図である。下部電極11はアルミニウム合金5052等からなり、高周波電力（13.56MHz）が印加される。この下部電極11の表面には、絶縁膜と

してポリイミド膜17が被着している。そして、前記ポリイミド膜17上に、ウエハー13を設置する構成されている。このとき、ポリイミド膜17の膜厚に応じて、ウエハー13に印加される電圧が変化する。

【0009】 図2は、高周波電力（13.56MHz）を印加したとき、ウエハー13にかかる印加電圧を示している。なお、反応ガスとしてCHF₃ガス90sccm、およびO₂ガス30sccmを流し、その圧力を250mTorrとし、印加した高周波電力（13.56MHz）を400Wとした。また、ウエハー13は直径6インチを用いた。

【0010】 ポリイミド膜17の膜厚が $0 \mu\text{m}$ のときは印加電圧を12～14V、膜厚が $50 \mu\text{m}$ で印加電圧を5～7V、 $100 \mu\text{m}$ 以上で印加電圧を0Vというように、ポリイミド膜17の膜厚増加に従ってウエハー13に印加する電圧が低減している。また、このときのポリイミド膜17の静電容量は、その膜厚が $50 \mu\text{m}$ のとき $8.6.2 \text{ pF/cm}^2$ ($15238 \text{ pF}/6\text{インチウエハー}$)、膜厚が $100 \mu\text{m}$ のときに 43.1 pF/cm^2 ($7619 \text{ pF}/6\text{インチウエハー}$)となる。なお、真空の誘電率を $8.85 \times 10^{-12} \text{ C}^2/\text{Nm}^2$ 、ポリイミド膜17の比誘電率を4.87とする。

【0011】 つまり、ポリイミド膜17の静電容量を 43.1 pF/cm^2 ($7619 \text{ pF}/6\text{インチウエハー}$)以下にすると、ウエハーへの印加電圧がほぼ0Vになることがわかる。

【0012】 これは、図3に示すモデルで説明することができる。プラズマにより発生したセルフバイアス24が、直列に接続された以下の三つの静電容量成分に分割される。21はウエハーの静電容量(C1)、22は下部電極表面のポリイミド膜の静電容量(C2)、23はブロッキングコンデンサ(C3)、24はセルフバイアス(Vdc)である。このとき、静電容量C1、C2、C3は直列に接続されているため、それぞれに蓄積する電荷量が等しくなるように電圧が分配される。

【0013】 その結果、ウエハーの静電容量(C1)21に印加される電圧Vは下式に示すようになる。

【0014】

$$V = V_{dc} / (1 + C_1 / C_3 + C_1 / C_2)$$

このため、下部電極表面のポリイミド膜の静電容量(C2)22が小さければ小さいほど、ウエハーの静電容量(C1)に印加される電圧Vは小さくなる。

【0015】 MOSトランジスタ等の半導体装置が、製造工程で直流電圧が印加されて電荷が蓄積されると、劣化や破壊を引き起こすことが知られている。特にゲート酸化膜の膜厚が10nm以下のMOSトランジスタでは、5～10Vの印加電圧でも劣化や破壊が生じる。半導体装置の劣化や破壊を防ぐためには、ウエハーへの印加電圧を5V以下にしなくてはならない。そこで、下部電極11上のポリイミド膜17の膜厚を $50 \mu\text{m}$ 以上に

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-106306

(43)公開日 平成7年(1995)4月21日

(51) Int.Cl.⁸
H 01 L 21/3065
27/04
21/822

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/ 302
8832-4M 27/ 04

C
C

審査請求 未請求 請求項の数 2 OL (全 4 頁) 最終頁に続ぐ

(21)出願番号 特願平5-250462

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(22)出願日 平成5年(1993)10月6日

(72)発明者 佐々木 智幸

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 中川 聰

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

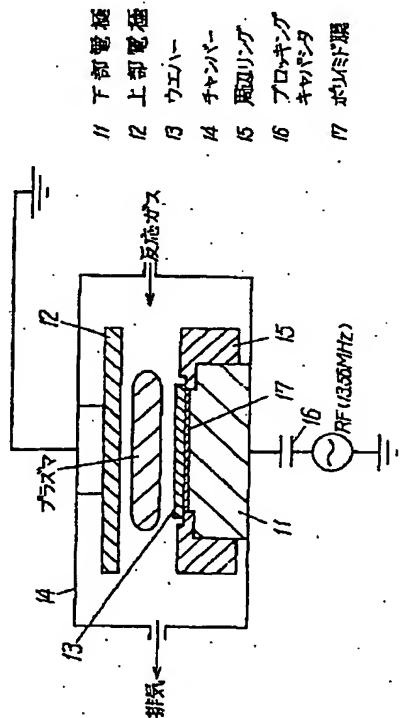
(74)代理人 弁理士 小鶴治 明 (外2名)

(54)【発明の名称】 半導体製造装置

(57)【要約】

【目的】 プラズマエッティングにおけるチャージアップダメージを防止する。

【構成】 平行平板型反応性イオンエッティング装置において、高周波電力を印加する下部電極11の表面にポリイミド膜17を被着し、このポリイミド膜17上にウエハー13を設置する構造とした。そして、ポリイミド膜17の膜厚を $50\mu m$ 以上、静電容量を $8.6 pF/cm^2$ 以下とした。ポリイミド膜17を被着したことにより、セルフバイアスによるウエハー13への印加電圧をポリイミド膜17、ブロッキングコンデンサ16、ウエハー13に分散させることができ、チャージアップによる半導体装置の劣化や破壊を防止することができた。



することにより、半導体装置の劣化や破壊を防止することができる。

【0016】なお、ポリイミドに代えて塩化ビニル（比誘電率3.08）等の絶縁膜を用いても同様の効果が得られることは言うまでもない。

【0017】

【発明の効果】プラズマ上で発生する印加電圧を下部電極上の絶縁膜とブロッキングコンデンサとウエハーに分散させることでチャージアップダメージを低減することができる。

【図面の簡単な説明】

【図1】本発明における一実施例の平行平板型の反応性イオンエッチング装置の断面図

【図2】図1に示した実施例におけるポリイミド膜厚とウエハーへの印加電圧との関係を示す図

【図3】図2に示した関係を説明するための模式図

【図4】従来の平行平板型の反応性イオンエッチング装置の断面図

【符号の説明】

11	下部電極
12	上部電極
13	ウエハー
14	チャンバー
15	周辺リング
16	ブロッキング コンデンサ
17	ポリイミド膜

10

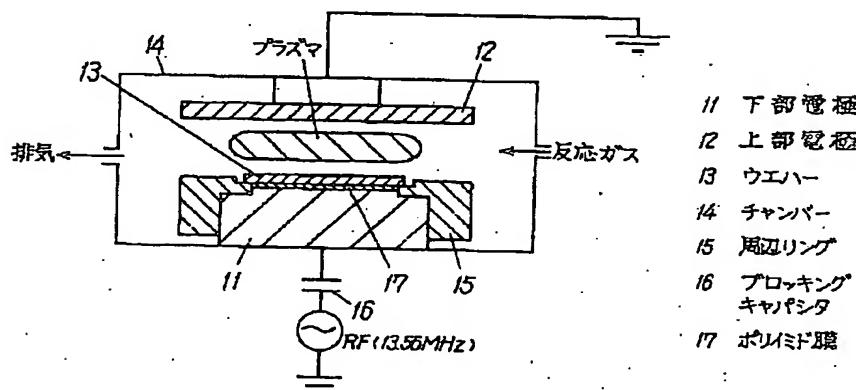
14

15

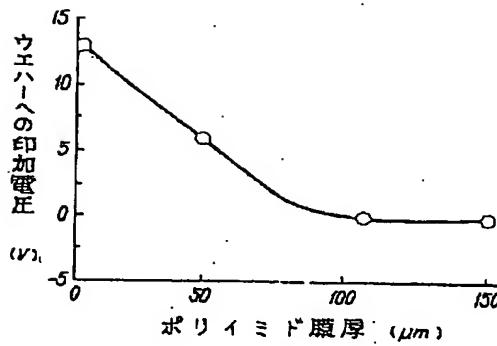
16

17

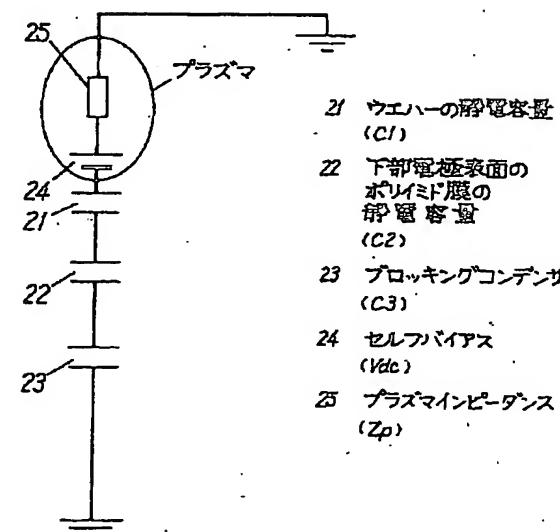
【図1】



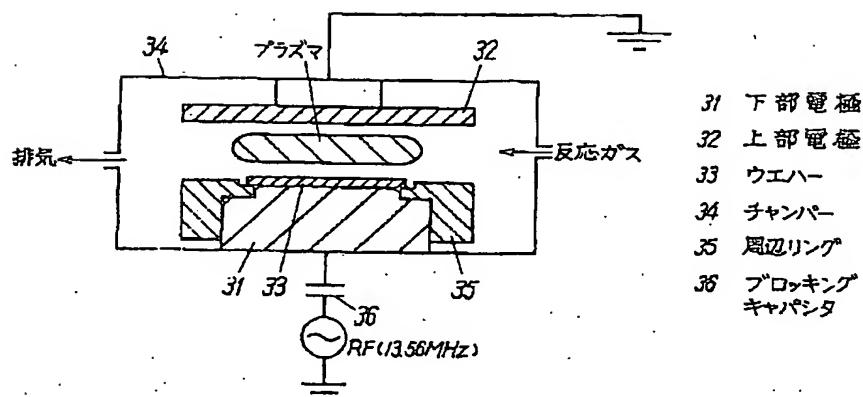
【図2】



【図3】



【図4】



フロントページの続き

(51) Int.Cl.⁶

H 05 H 1/46

識別記号 庁内整理番号

M 9014-2G

F I

技術表示箇所